

⑫ 公開特許公報(A) 平4-14871

⑤ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)1月20日

H 01 L 27/115

8831-4M
7514-4MH 01 L 27/10
29/784 3 4
3 7 1

※

審査請求 未請求 請求項の数 1 (全8頁)

⑭ 発明の名称 不揮発性半導体記憶装置

⑯ 特 願 平2-119395

⑰ 出 願 平2(1990)5月8日

⑱ 発 明 者 寺 田 康 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑱ 発 明 者 中 山 武 志 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑱ 発 明 者 林 越 正 紀 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑱ 発 明 者 小 林 真 一 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

最終頁に続く

明 細 書

1. 発明の名称

不揮発性半導体記憶装置

2. 特許請求の範囲

(1) フローティングゲートを有し電気的書き込み消去可能な複数のメモリトランジスタ及び選択トランジスタを第1の層に含んだ不揮発性半導体記憶装置であって、

前記第1の層上の第2の層に形成され、所定数の前記メモリトランジスタのドレインに共通に接続されるとともに前記選択トランジスタの一方電極に接続された副ビット線と、

前記所定数のメモリトランジスタのソースに共通に接続されたソース線と、

前記第2の層上の第3の層に形成され、前記選択トランジスタの他方電極に接続された主ビット線と、

読み出し時に前記選択トランジスタをオンさせ、前記所定数のメモリトランジスタのうち、読み出し対象のメモリトランジスタのコントロールゲ-

ートに該メモリトランジスタの記憶内容の0/1に応じ該メモリトランジスタがオン/オフするレベルの第1の読み出し電圧を付与し、それ以外のメモリトランジスタのコントロールゲートにその記憶内容に関わらず該メモリトランジスタがオフするレベルの第2の読み出し電圧を付与し、前記副ビット線及び前記読み出し対象のメモリトランジスタを介して前記主ビット線から前記ソース線にかけて電流が流れるか否かを検出することにより、前記読み出し対象のメモリトランジスタの記憶内容を読み出す読み出し制御手段とを備えた不揮発性半導体記憶装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、フローティングゲートを有し電気的書き込み消去可能な複数のメモリトランジスタを含んだ不揮発性半導体記憶装置に関するものである。

〔従来の技術〕

第5図はIEEE Journal of Solid-State Circui

ts. Vol. 24. pp. 1238-1243 (1989) に開示された従来の NAND 型 EEPROM のメモリトランジスタ群を示す断面図、第 6 図はその等価回路図である。第 5 図において、1 は P 型半導体基板であり、2 は N 型の拡散領域である。これら N 拡散領域 2、2 間の P 型半導体基板 1 の表面部をチャネル領域とした選択トランジスタ Q1、メモリトランジスタ M1 ~ M8 及び選択トランジスタ Q2 が直列に接続されている。第 5 図及び第 6 図に示すように、選択トランジスタ Q1 及び Q2 は 1 層ゲートであり、一方、メモリトランジスタ M1 ~ M8 はフローティングゲート FG とコントロールゲート CG から成る 2 層ゲート構造である。そして、フローティングゲート FG 下のゲート酸化膜（トンネル酸化膜）はトンネル現象が生じる程度の膜厚に設定されている。

また、第 6 図に示すように、選択トランジスタ Q1 の N 拡散領域（ドレイン領域）2 がビット線 BL に接続され、選択トランジスタ Q2 の N 拡散領域（ソース領域）2 がソース線 SL に接続され

ており、選択トランジスタ Q1 及び Q2 のゲートには制御信号 SG1 及び SG2 が印加され、メモリトランジスタ M1 ~ M8 のコントロールゲート CG にはそれぞれ制御信号 CG1 ~ CG8 が印加される。

このような構成において、メモリトランジスタ M1 ~ M8 の消去は全メモリトランジスタ M1 ~ M8 に対し一括して行っており、ビット線 BL 及びソース線 SL をそれぞれ接地し、制御信号 SG1、CG1 ~ CG8 を 17 V に設定し、制御信号 SG2 を 5 V に設定する。

このように設定すると、フローティングゲート FG 下のトンネル酸化膜に高電界がかかりトンネル現象によりフローティングゲート FG に電子が蓄積されることにより、メモリトランジスタ M1 ~ M8 すべての閾値が高くなり、2 V 程度（“1”書き込み）になる。

一方、不揮発な書き込みはソース線 SL 側のメモリトランジスタ M8 から M1 にかけて順次行っている。以下、メモリトランジスタ M8 に書き込

む例を説明する。制御信号 SG1、CG1 ~ CG7 を 22 V に設定し、制御信号 SG2 と書き込み対象のメモリトランジスタ M8 の制御信号 CG8 を接地する。そして、書き込みデータが “1” の場合ビット線 BL に 11 V を印加する。

このように設定すると、全メモリトランジスタ M1 ~ M8 すべてのコントロールゲート・ドレイン間の電位差が 11 V となり、フローティングゲート・ドレイン間のトンネル酸化膜に誘起される電界はトンネル現象を引き起こすには充分でなく、フローティングゲート FG に蓄積された電荷量は変化しない。

一方、書き込みデータが “0” の場合ビット線 BL に 22 V を印加する。このように設定すると、書き込み対象でないメモリトランジスタ M1 ~ M7 のコントロールゲート・ドレイン間の電位差が 0 V となり、フローティングゲート・ドレイン間のトンネル酸化膜に誘起される電界は 0 であり、トンネル現象を引き起こさず、フローティングゲート FG に蓄積された電荷量は変化しない。逆に、

書き込み対象のメモリトランジスタ M8 のコントロールゲート・ドレイン間の電位差が 22 V となり、フローティングゲート・ドレイン間のトンネル酸化膜に誘起される電界はトンネル現象を引き起こし、フローティングゲート FG に蓄積された電荷がドレイン側に引き抜かれ閾値が低くなり、-3 V 程度（“0”書き込み）になる。

なお、他のメモリトランジスタ Mi (i = 1 ~ 7) への書き込みは、CG1 ~ CG(i-1) を 22 V に設定し、制御信号 CGi ~ CG8 を接地し他は上記したメモリトランジスタ M8 に書き込む例と同様に行う。このようにしてメモリトランジスタ M8 ~ M1 の書き込みが順次行われる。

また、メモリトランジスタ M8 の記憶内容を読み出す場合は、制御信号 SG1、SG2 及び読み出し対象でないメモリトランジスタ M1 ~ M7 の制御信号 CG1 ~ CG7 を 5 V に設定し、読み出し対象のメモリトランジスタ M8 の制御信号 CG8 を接地して行う。このように設定すると、選択トランジスタ Q1、Q2 及びメモリトランジスタ

M1～M7はオンする。そして、読み出し対象のメモリトランジスタM8が“1”を記憶しておれば閾値は2Vであるためオフし、“0”を記憶しておれば閾値は-3Vであるためオンする。この読み出し対象のメモリトランジスタM8のオン、オフにより全メモリトランジスタM1～M8を介して、ビット線BLからソース線SLにかけて電流が流れるか否かを図示しないセンスアンプにより検出することにより、メモリトランジスタM8の記憶内容を読み出す。

なお、他のメモリトランジスタMi (i=1～7) への読み出しは、制御信号CGiを接地し、制御信号CGi以外の制御信号CG1～CG8を5Vに設定してメモリトランジスタM8の記憶内容を読み出す場合と同様に行う。このようにしてメモリトランジスタM1～M8の読み出しが順次行われる。

〔発明が解決しようとする課題〕

従来のNAND型EEPROMは以上のように構成されており、1ビットのデータが1つのメモ

リトランジスタで記憶され、かつ、ビット線BLと直接電氣的接続を図るべきN拡散領域2が少なくなくて済むため、高集積化が可能という優れた特徴を有している。

しかしながら、8個のメモリトランジスタM1～M8が直列に接続されており、読み出し時におけるビット線BLからソース線SLへの電流経路に8個のメモリトランジスタM1～M8すべてを介することになるため、ビット線BLからソース線SLに流れる電流量は少なくなり、読み出しに時間がかかってしまうという問題点があった。

この発明は上記のような問題点を解決するためになされたもので、高集積度を維持しつつ、高速読み出しを行うことができる電氣的書込み消去可能な不揮発性半導体記憶装置を得ることを目的とする。

〔課題を解決するための手段〕

この発明にかかる不揮発性半導体記憶装置は、フローティングゲートを有し電氣的書き込み消去可能な複数のメモリトランジスタ及び選択トラン

ジスタを第1の層に含んでおり、前記第1の層上の第2の層に形成され、所定数の前記メモリトランジスタのドレインに共通に接続されるとともに前記選択トランジスタの一方電極に接続された副ビット線と、前記所定数のメモリトランジスタのソースに共通に接続されたソース線と、前記第2の層上の第3の層に形成され、前記選択トランジスタの他方電極に接続された主ビット線と、読み出し時に前記選択トランジスタをオンさせ、前記所定数のメモリトランジスタのうち、読み出し対象のメモリトランジスタのコントロールゲートに該メモリトランジスタの記憶内容の0/1に応じ該メモリトランジスタがオン/オフするレベルの第1の読み出し電圧を付与し、それ以外のメモリトランジスタのコントロールゲートにその記憶内容に関わらず該メモリトランジスタがオフするレベルの第2の読み出し電圧を付与し、前記副ビット線及び前記読み出し対象のメモリトランジスタを介して前記主ビット線から前記ソース線にかけて電流が流れるか否かを検出することにより、前

記読み出し対象のメモリトランジスタの記憶内容を読み出す読み出し制御手段とを備えている。

〔作用〕

この発明における読み出し制御手段は、選択トランジスタをオンさせ、所定数のメモリトランジスタのうち、読み出し対象のメモリトランジスタのコントロールゲートに該メモリトランジスタの記憶内容の0/1に応じ該メモリトランジスタがオン/オフするレベルの第1の読み出し電圧を付与し、それ以外のメモリトランジスタのコントロールゲートにその記憶内容に関わらず該メモリトランジスタがオフするレベルの第2の読み出し電圧を付与し、副ビット線及び読み出し対象のメモリトランジスタを介して主ビット線からソース線にかけて電流が流れるか否かを検出することにより、読み出し対象のメモリトランジスタの記憶内容を読み出すため、読み出し時において電流経路となるメモリトランジスタは読み出し対象のメモリトランジスタのみである。

また、副ビット線は第2の層、主ビット線は第

3の層と、多層構造で主ビット線及び副ビット線が形成されている。

〔実施例〕

第1図はこの発明の一実施例であるEEPROMのメモリトランジスタ群を示す断面図、第2図はその等価回路図である。第1図において、1はP型半導体基板であり、2aは後述するメモリトランジスタのN型ドレイン拡散領域（一部、後述する選択トランジスタのN型ソース領域を兼ねる）であり、2bはメモリトランジスタのN型ソース拡散領域であり、2cは選択トランジスタのN型ドレイン領域である。これらドレイン、ソース拡散領域2a、2b間のP型半導体基板1の表面部をチャネル領域としてメモリトランジスタMQ1～MQ5が形成され、ドレイン、ソース拡散領域2c、2a間のP型半導体基板1の表面部をチャネル領域として選択トランジスタSQが形成される。第1図及び第2図に示すように、選択トランジスタSQは1層ゲート構造であり、メモリトランジスタMQ1～MQ5はフローティングゲート

FGとコントロールゲートCGから成る2層ゲート構造である。そして、フローティングゲートFG下のゲート酸化膜（トンネル酸化膜）はトンネル現象が生じる程度の膜厚に設定されている。

また、第1図及び第2図に示すように、メモリトランジスタMQ1～MQ5のドレイン拡散領域2aが共通にサブビット線SBLに接続されている。このサブビット線SBLはポリシリコン、シリサイド、ポリシリコンとシリサイドの2層あるいはタングステン等の高融点金属から構成されており、ドレイン拡散領域2aに直接接触しつつコントロールゲートCGの上層部に、絶縁膜を介する等によりコントロールゲートCGに接触することなく形成されている。そして、選択トランジスタSQのドレイン拡散領域2cがパッド部3を介してメインビット線MBLに接続されている。パッド部3はサブビット線SBLと同じ素材が用いられており、サブビット線SBLと同時に形成される。メインビット線MBLはドレイン拡散領域2c上を除きサブビット線SBLより上層部に形

成され、絶縁膜等を介すことによりサブビット線SBLとの電気的接触を避けている。

一方、第2図に示すように、メモリトランジスタMQ1～MQ5のソース拡散領域2bが共通にソース線SLに接続されている。そして、選択トランジスタSQのゲートには制御信号線SGLが接続され、メモリトランジスタMQ1～MQ5のコントロールゲートCGにはそれぞれワード線WL1～WL5が接続されている。

このような構成において、メモリトランジスタMQ1～MQ5の消去は全メモリトランジスタMQ1～MQ5に対し一括して行っており、メインビット線MBL及びソース線SLをそれぞれ接地し、制御信号線SGL、ワード線WL1～WL5の電位を、従来の消去時に用いた17Vを上回る22V程度の高電圧VPに設定する。

このように設定すると、フローティングゲートFG下のトンネル酸化膜に従来の消去時より高電界がかかりトンネル現象によりフローティングゲートFGに電子が蓄積されることにより、メモリ

トランジスタMQ1～MQ5すべての閾値が高くなり、6V程度（“1”書き込み）になる。

一方、不揮発な書き込みはメモリトランジスタMQ1からMQ5にかけて順次行われる。以下、メモリトランジスタMQ1に書き込む例を説明する。制御信号線SGLの電位を高電圧VPに設定し、書き込み対象のワード線WL1の電位を接地し、それ以外のワード線WL2～WL5の電位をVP/2に設定する。そして、書き込みデータが“1”の場合メインビット線BLにVP/2を印加する。

このように設定すると、全メモリトランジスタMQ1～MQ5すべてのコントロールゲート・ドレイン間の電位差がVP/2となり、フローティングゲート・ドレイン間のトンネル酸化膜に誘起される電界はトンネル現象を引き起こすには充分でなく、フローティングゲートFGに蓄積された電荷量は変化しない。

一方、書き込みデータが“0”の場合メインビット線BLに高電圧VPを印加する。このように

設定すると、書き込み対象でない選択メモリトランジスタMQ2～MQ5のコントロールゲート・ドレイン間の電位差が0Vとなり、フローティングゲート・ドレイン間のトンネル酸化膜に誘起される電界0であり、トンネル現象を引き起こさず、フローティングゲートFGに蓄積された電荷量は変化しない。逆に、書き込み対象のメモリトランジスタMQ1のコントロールゲート・ドレイン間の電位差がVPとなり、フローティングゲート・ドレイン間のトンネル酸化膜に誘起される電界はトンネル現象を引き起こし、フローティングゲートFGに蓄積された電荷がドレイン側に引き抜かれ閾値が低くなり、1V程度（“0”書き込み）になる。

なお、他のメモリトランジスタMQi (i=2～5) への書き込みは、書き込み対象のメモリトランジスタMQiに接続されたワード線WL1を接地し、他のワード線をVP/2に設定し上記したメモリトランジスタMQ1に書き込む例と同様に行う。このようにしてメモリトランジスタMQ

1～MQ5の書き込みが順次行われる。

また、メモリトランジスタMQ1の記憶内容を読み出す場合は、制御信号線SGLを5Vに設定し、読み出し対象のメモリトランジスタMQ1に接続されたワード線WL1を接地し、他のワード線WL2～WL5の電位を3～5Vに設定して行う。このように設定すると、選択トランジスタSQはオンするが読み出し対象でないメモリトランジスタMQ2～MQ5は全てオフする。そして、読み出し対象のメモリトランジスタMQ1が“1”を記憶しておれば閾値は6Vであるためオフし、“0”を記憶しておれば閾値は1Vであるためオンする。この読み出し対象のメモリトランジスタMQ1のオン、オフにより、サブビット線SBL及び読み出し対象のメモリトランジスタMQ1を介してビット線MBLからソース線SLにかけて電流が流れるか否かを図示しないセンスアンプにより検出することにより、メモリトランジスタMQ1の記憶内容を読み出す。

なお、他のメモリトランジスタMQi (i=2

～5) の読み出しは、読み出し対象のメモリトランジスタMQiに接続されたワード線WL1を3～5Vに設定し、それ以外のワード線を接地してメモリトランジスタMQ1の記憶内容を読み出す場合と同様に行う。このようにしてメモリトランジスタMQ1～MQ5の読み出しが順次行われる。

また、上記した消去、書き込み、読み出しにおける制御信号線SGL、メインビット線MBL、ワード線WL及びソース線SLの電位設定は図示しない制御回路の管理下で行われる。

このように、選択トランジスタSQを介してメインビット線MBLと接続されたサブビット線SBLにより、各メモリトランジスタMQ1～MQ5のドレイン拡散領域2aを共通接続することにより、メインビット線MBLからソース線SLへの電流経路上においてメモリトランジスタMQ1～MQ5のOR接続を実現している。その結果、読み出し時におけるメインビット線MBLからソース線SLへの電流経路に読み出し対象のメモリトランジスタが使用されるだけで済み、従来のN

AND型EEPROMのように読み出し対象以外のメモリトランジスタが使用されることはなくなるため、該電流経路に十分な電流を供給でき高速読み出しが可能となる。

また、メモリトランジスタMQ1～MQ5のOR接続に用いるサブビット線SBLとメインビット線MBLの構成を第1図で示すように多層構造で実現しているため、サブビット線SBLの形成により高集積化が損なわれることもない。また、このサブビット線SBLの形成と同時に選択トランジスタSQのドレイン拡散領域2c上にパッド部3を設け、このパッド部3を介してメインビット線MBLとドレイン拡散領域2cとの接続を行うことにより、メインビット線MBLとドレイン拡散領域2cとの間に良好な電気的接続をもたらす効果もある。

第3図はこの発明の他の実施例で用いられるEEPROMのメモリトランジスタを示す断面図、第4図は第3図で示したメモリトランジスタを用いたEEPROMの回路図である。第3図で示す

ように、P型半導体基板20表面のN型ドレイン拡散領域21の一部上に凹部を有したフローティングゲート24が絶縁膜23を介して形成されており、該凹部下がトンネル酸化膜23aとなる。そして、このフローティングゲート24上においてフローティングゲート24の形状を反映したコントロールゲート26が絶縁膜25を介して形成されている。このコントロールゲート26はフローティングゲート24が形成されていないN型ソース拡散領域22上の端部からドレイン、ソース拡散領域21、22間上において、フローティングゲート24と同じ高さに絶縁膜23を介して形成されている。

このようなメモリトランジスタMQ1'~MQ4'を用いて、第4図に示すように、第1図及び第2図で示したEEPROMと等価なEEPROMを実現することもできる。この実施例のEEPROMにおいても第1図及び第2図で示したEEPROMと同様の効果を奏することができる。加えて、第3図に示すように、メモリトランジスタ

の一部にコントロールゲートCGのみから成る1層ゲート構造を実現することにより、消去時に於ける過消去を防止できる効果がある。

なお、これらの実施例では、説明の都合上、サブビット線SBLにドレインが共通接続されるメモリトランジスタの数が5個あるいは4個のEEPROMを示したがこれに限定されるものではない。

〔発明の効果〕

以上説明したように、この発明によれば、読み出し制御手段により、選択トランジスタをオンさせ、所定数のメモリトランジスタのうち、読み出し対象のメモリトランジスタのコントロールゲートに該メモリトランジスタの記憶内容の0/1に応じ該メモリトランジスタがオン/オフするレベルの第1の読み出し電圧を付与し、それ以外のメモリトランジスタのコントロールゲートにその記憶内容に関わらず該メモリトランジスタがオフするレベルの第2の読み出し電圧を付与し、副ビット線及び読み出し対象のメモリトランジスタを介

して主ビット線からソース線にかけて電流が流れるか否かを検出することにより、読み出し対象のメモリトランジスタの記憶内容を読み出すため、読み出し時において電流経路となるメモリトランジスタは読み出し対象のメモリトランジスタのみとなり、読み出し時にビット線からソース線にかけて十分な電流を供給でき高速読み出しが可能となる。

また、副ビット線は第2の層、主ビット線は第3の層と、多層構造で主ビット線及び副ビット線が形成されているため、副ビット線を形成することにより集積化が損なわれることはない。

4. 図面の簡単な説明

第1図はこの発明の一実施例であるEEPROMの一部を示す断面図、第2図はその等価回路図、第3図はこの発明の他の実施例であるEEPROMのメモリトランジスタを示す断面図、第4図は第3図で示したメモリトランジスタを用いたこの発明の他の実施例であるEEPROMの一部を示す回路図、第5図は従来のNAND型EEPROM

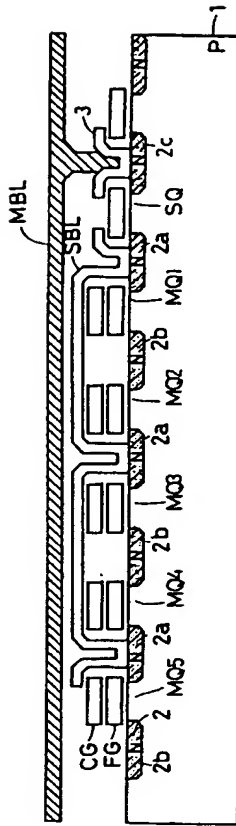
Mの一部を示す断面図、第6図はその等価回路図である。

図において、MQ1~MQ5はメモリトランジスタ、SQは選択トランジスタ、2aはドレイン拡散領域、2bはソース拡散領域、FGはフローティングゲート、CGはコントロールゲート、MBLはメインビット線、SBLはサブビット線である。

なお、各図中同一符号は同一または相当部分を示す。

代理人 大 岩 増 雄

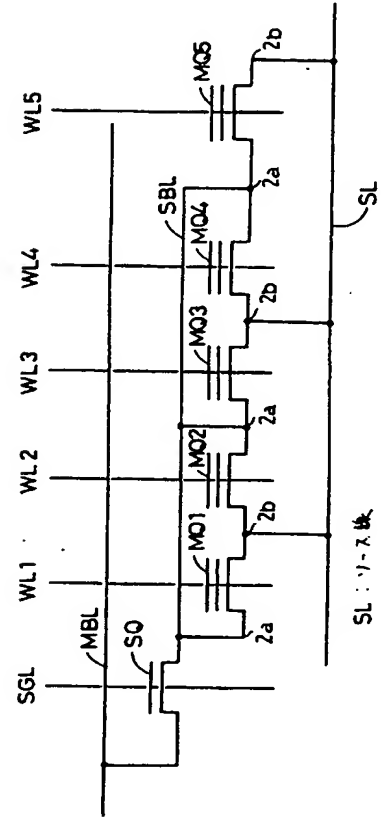
第 1 図



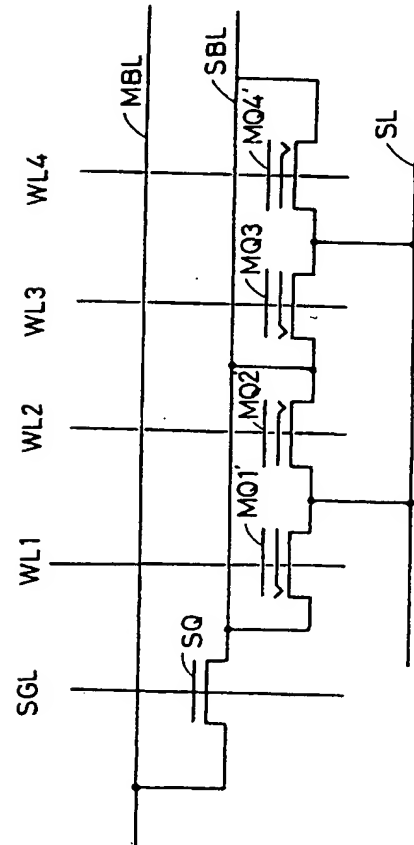
FG:フローティングゲート
CG:コントロールゲート
MQ1 ~ MQ5:メモリトランジスタ
SQ:選流トランジスタ

MBL:メインビット線
SBL:サブビット線
2a:ドレイン拡散領域
2b:ソース拡散領域

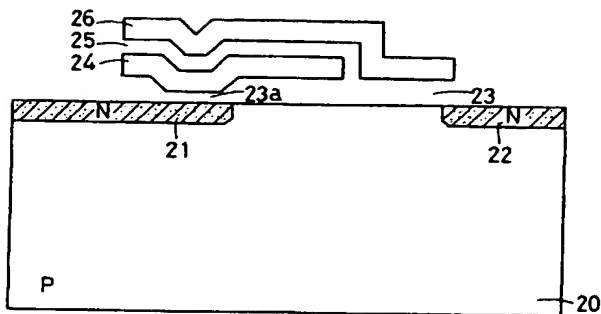
第 2 図



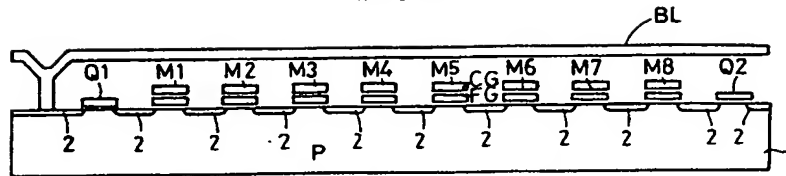
第 4 図



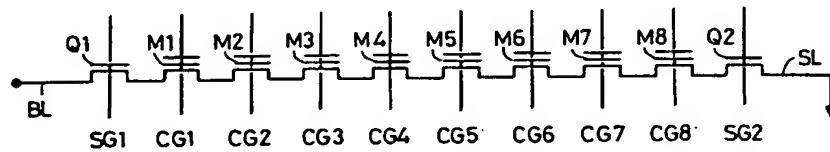
第 3 図



第 5 図



第 6 図



第 1 頁の続き

⑤Int. Cl. 5

H 01 L 29/788
29/792

識別記号

庁内整理番号

⑦発 明 者 宮 脇 好 和 兵庫県伊丹市瑞原 4 丁目 1 番地 三菱電機株式会社エル・
エス・アイ研究所内